



CHAPITRE 7:

Les bascules (latch et flip-flop)

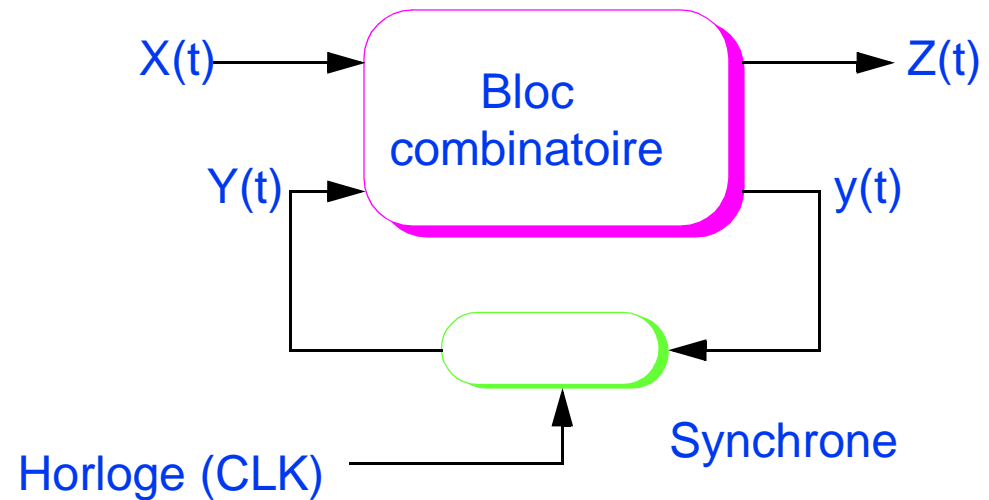
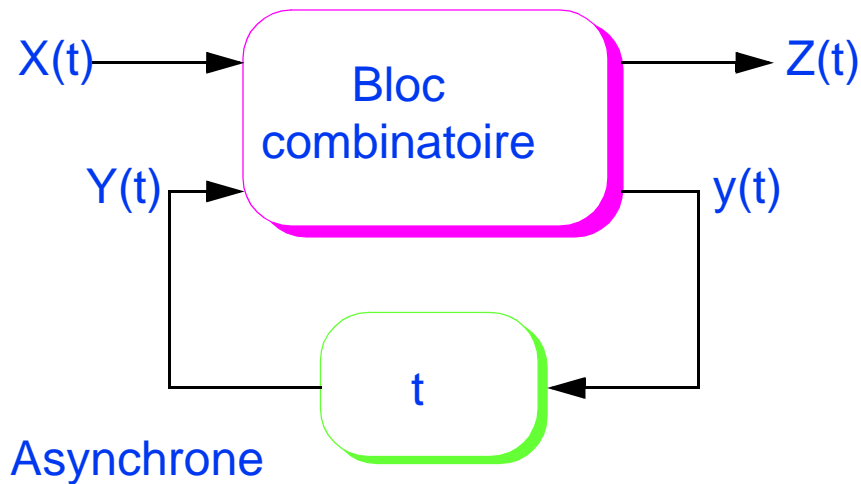
A la fin de ce chapitre, vous devez être capable:

- D'expliquer et de retrouver la table de vérité des principales bascules synchrones et asynchrones (RS, D, JK ..)
- D'expliquer le principe du maître-esclave
- De définir et d'utiliser les spécifications dynamiques des bascules (temps de propagation, de setup, de hold, f_{max} ...)

- 1. Définitions
- 2. Les bascules asynchrones
- 3. Les bascules synchrones actives sur état
- 4. Les bascules synchrones actives sur front
- 5. Caractéristiques dynamiques des bascules
- 6. Synthèse

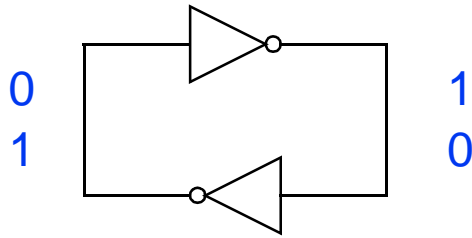
1. Définitions

- Logique séquentielle
La combinaison des sorties ne dépend pas seulement de celle des entrées mais aussi de l'état précédent des sorties.
- Types de circuits
Astable: le circuit ne possède pas d'état stable (oscillateur)
Monostable: le circuit possède un état stable et un état fugitif de durée déterminée déclenché par un évènement particulier (trigger)
Bistable: le circuit possède deux états stables (mémoire)
- Circuits synchrones et asynchrones



2. Les bascules asynchrones

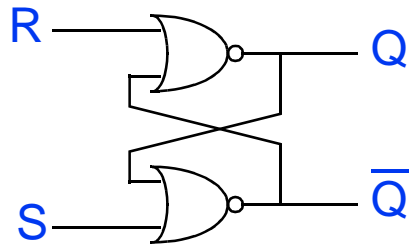
● Circuit minimal



Basculer: circuit bistable

⚠ il faut un moyen de fixer l'état désiré

● La bascule RS



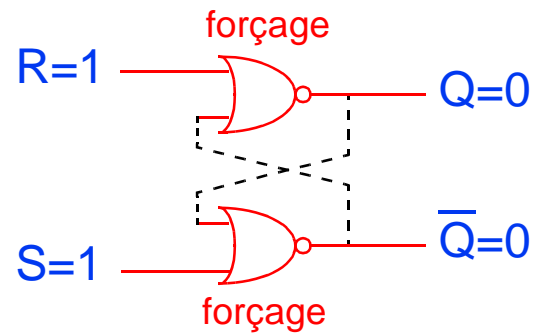
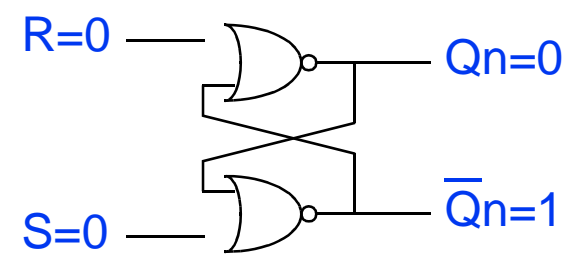
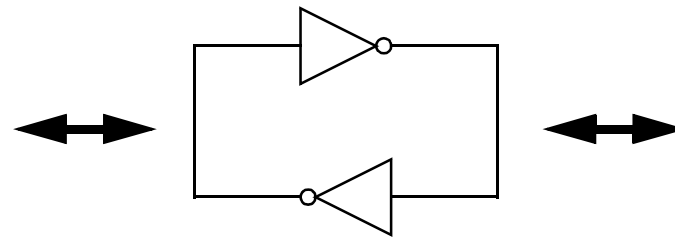
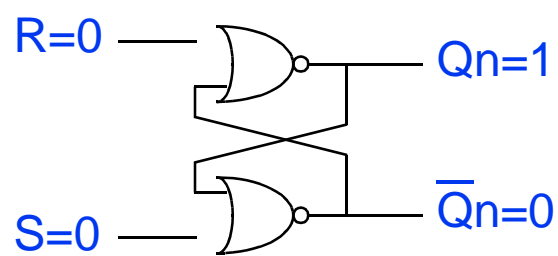
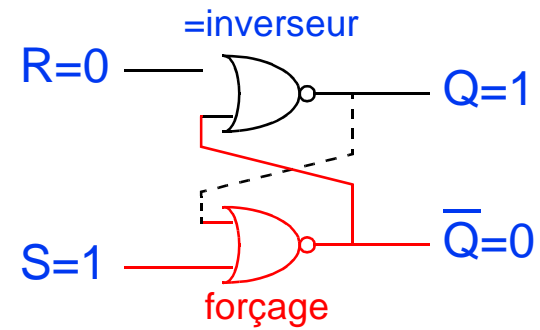
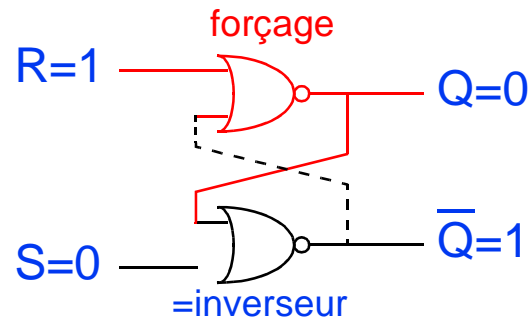
R	S	Q_n	\bar{Q}_n
1	0	0	1
0	1	1	0
0	0	Q_{n-1}	\bar{Q}_{n-1}
1	1	0	0

← état mémoire

⚠ combinaison indésirable

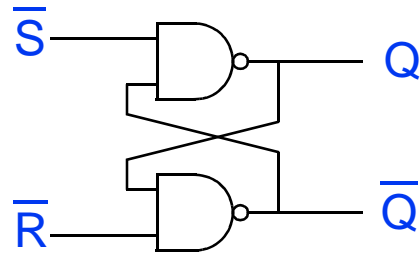
S (SET): mise à 1
R (RESET): mise à 0

2. Les bascules asynchrones



2. Les bascules asynchrones

● La bascule \overline{RS}

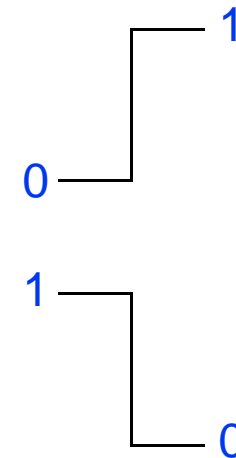
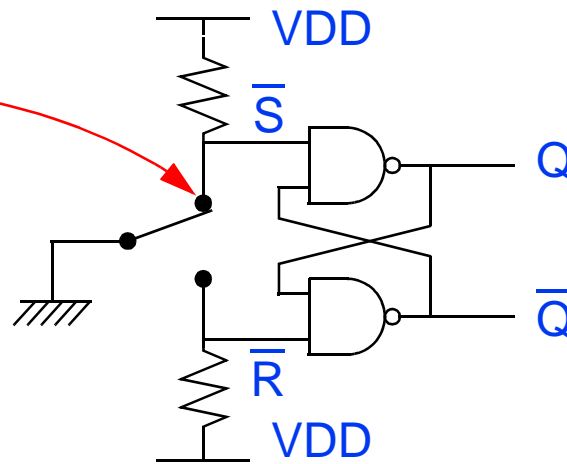
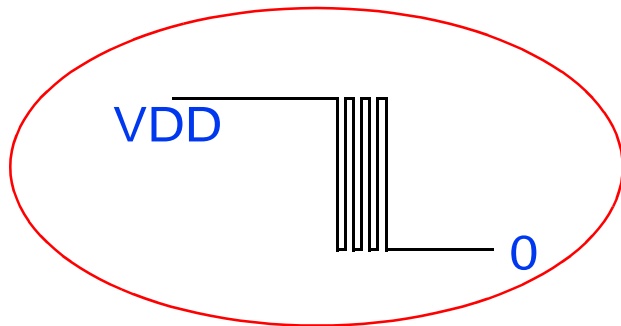


\overline{R}	\overline{S}	Q_n	\overline{Q}_n
0	1	0	1
1	0	1	0
1	1	Q_{n-1}	\overline{Q}_{n-1}
0	0	1	1

← état mémoire

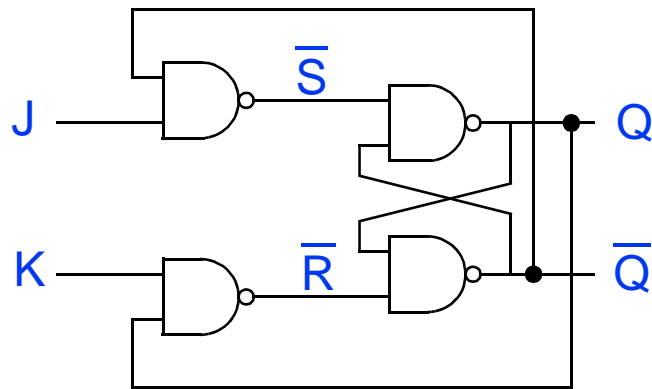
! combinaison indésirable

● Application de la bascule \overline{RS} : circuit anti-rebonds



2. Les bascules asynchrones

● La bascule JK



J	K	Q _n	\bar{Q}_n
0	1	0	1
1	0	1	0
0	0	Q _{n-1}	\bar{Q}_{n-1}
1	1	\bar{Q}_{n-1}	Q _{n-1}

! toutes les combinaisons sont valides

← état mémoire

← état mémoire

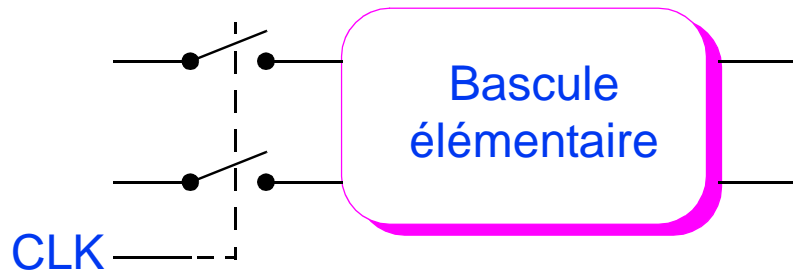
$$Q_{n+1} = J \bar{Q}_n + \bar{K} Q_n$$

● Limitations des bascules asynchrones

- ➔ Fonctionnement asynchrone: la sortie réagit "immédiatement" à l'entrée
- ➔ Les entrées doivent donc rester stables

3. Les bascules synchrones actives sur état

● Principe



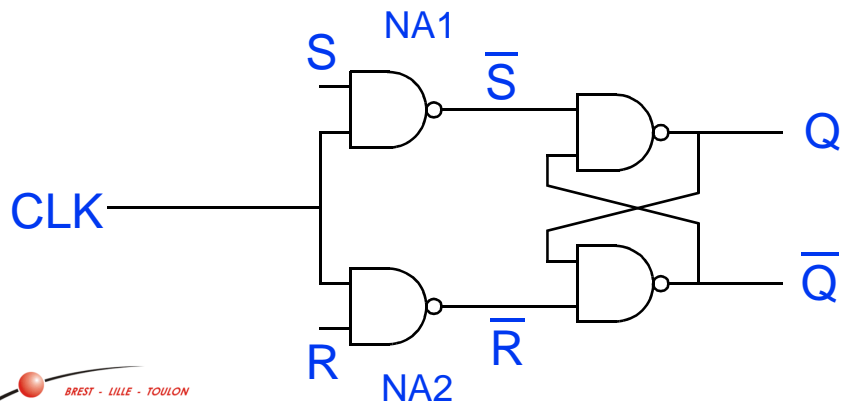
CLK inactif: la bascule est isolée (il faut s'assurer qu'elle se trouve en configuration mémoire)

CLK actif: la bascule fonctionne normalement



Rmq: "actif" ne signifie pas nécessairement au niveau haut (1)

● Bloc de base: la bascule RS synchrone



CLK = 0, R et S indifférents car NA1 et NA2 imposent un état $\bar{R} = \bar{S} = 1$ et par conséquent:

$$Q_n = Q_{n-1} \text{ (état mémoire)}$$

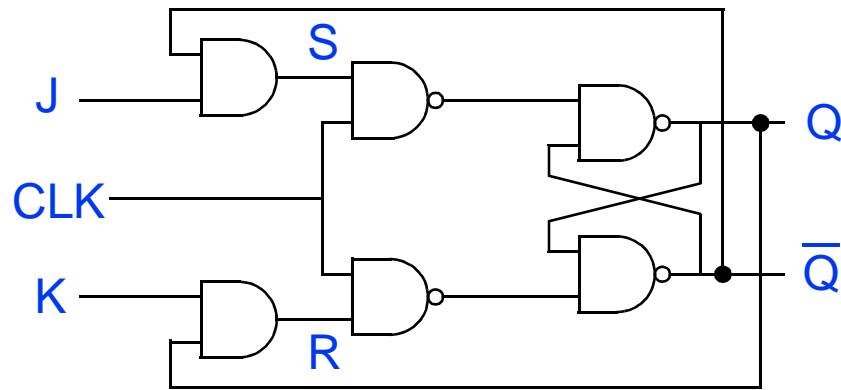
CLK = 1: fonctionnement classique de la bascule car NA1 et NA2 se comportent en inverseurs



la bascule est transparente: la sortie réagit "immédiatement" à l'entrée lorsque CLK=1

3. Les bascules synchrones actives sur état

● La bascule JK synchrone



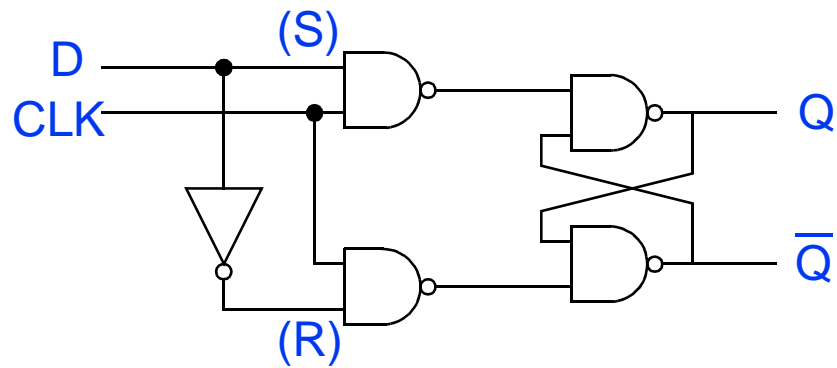
CLK = 0, J et K indifférents : $Q_n = Q_{n-1}$ (état mémoire)

CLK = 1: fonctionnement classique de la bascule



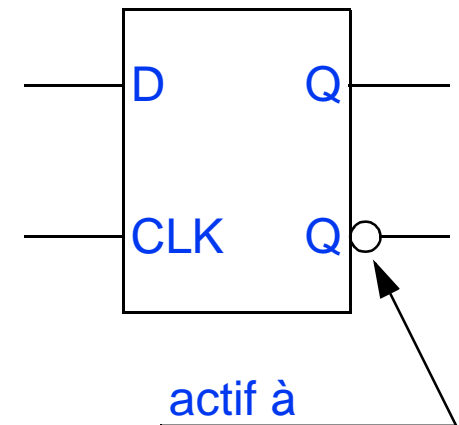
CLK = 1: la bascule est transparente

● La bascule D synchrone



D	CLK	Q_n
X	0	Q_{n-1}
1	1	1
0	1	0

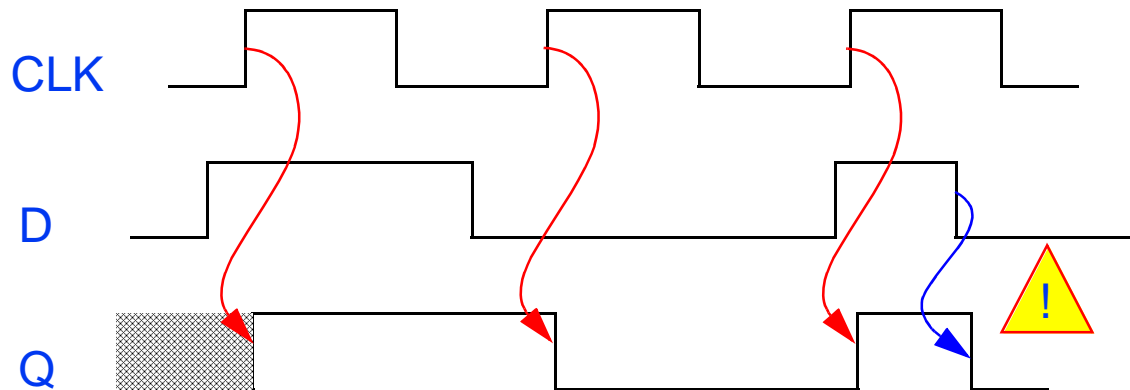
D (Data) = donnée



actif à l'état bas

3. Les bascules synchrones actives sur état

- Inconvénient des bascules synchrones actives sur état (exemple de la bascule D)



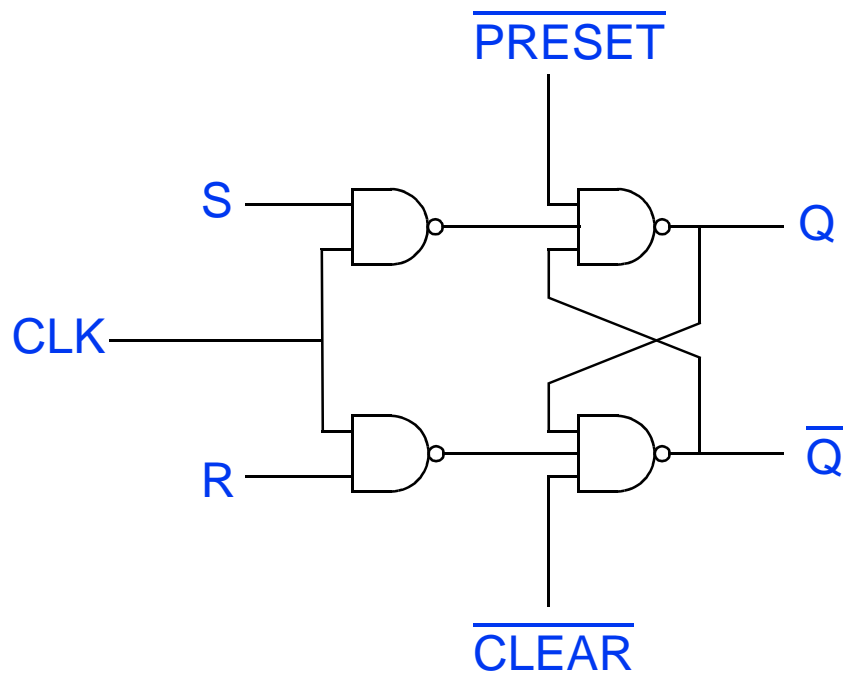
➡ La transition en sortie semble déclenchée par un front d'horloge

➡ La sortie peut évoluer pendant le temps où CLK = 1

⚠ les entrées doivent rester stables lorsque CLK = 1

3. Les bascules synchrones actives sur état

● Entrées d'initialisation



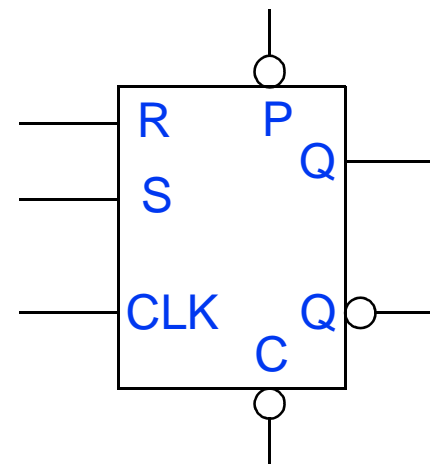
exemple de la bascule RS

$\overline{\text{PRESET}} = 0, \overline{\text{CLEAR}} = 1 \longrightarrow Q = 1$

$\overline{\text{PRESET}} = 1, \overline{\text{CLEAR}} = 0 \longrightarrow Q = 0$

$\overline{\text{PRESET}} = 1, \overline{\text{CLEAR}} = 1 \longrightarrow$ bascule normale

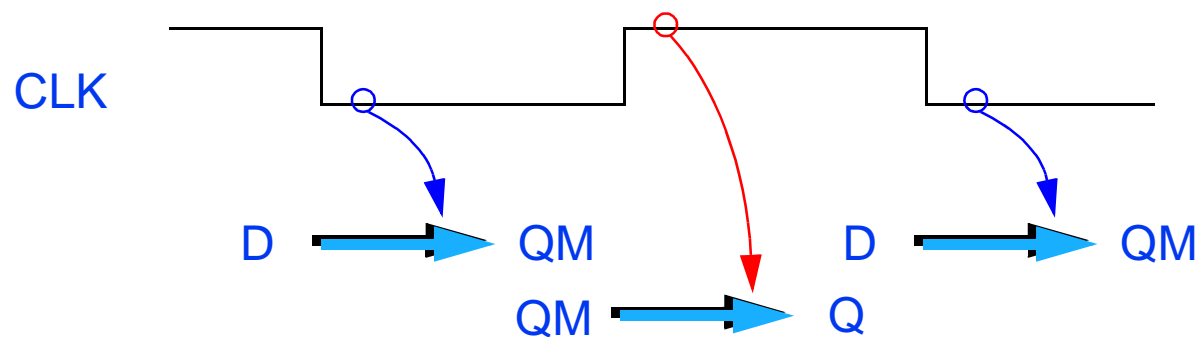
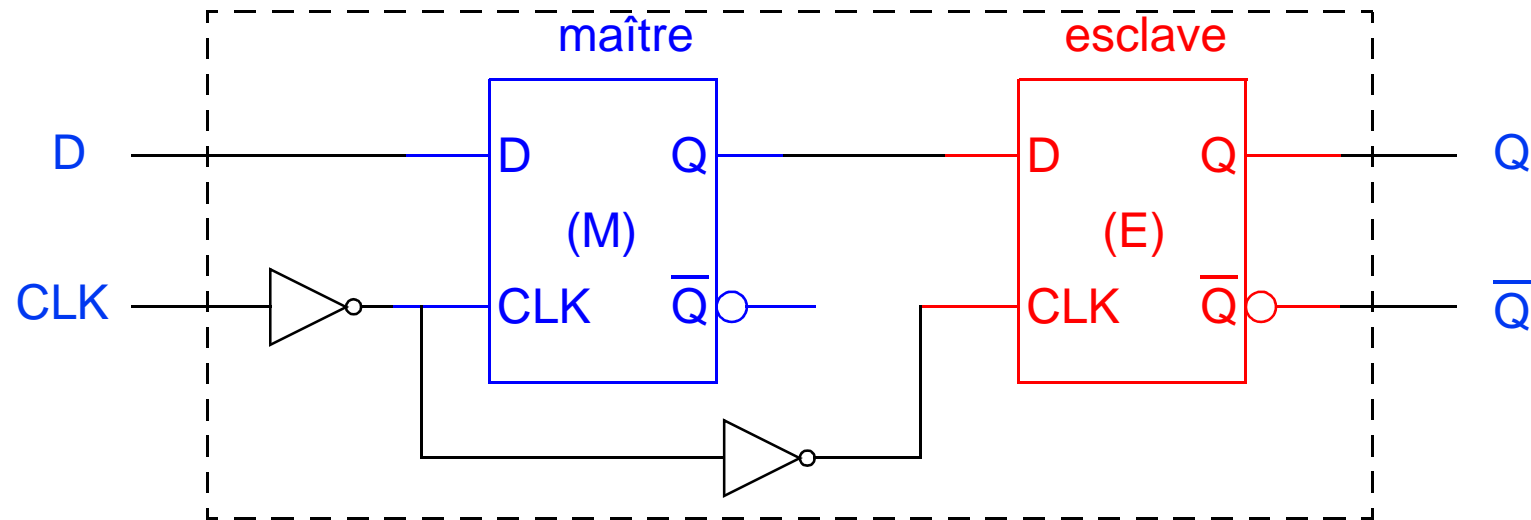
Les entrées d'initialisation sont asynchrones



4. Les bascules synchrones actives sur front

● Bascules maître-esclave (exemple de la bascule D)

Principe: maître et esclave travaillent en alternance

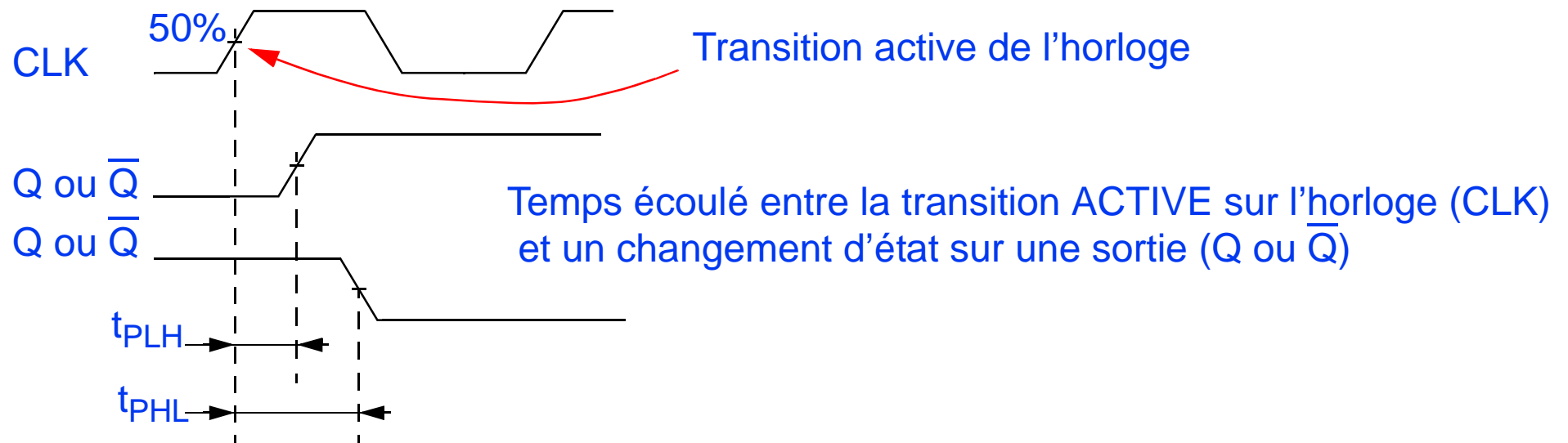


Elimine la nécessité d'avoir des entrées stables lorsque CLK est actif

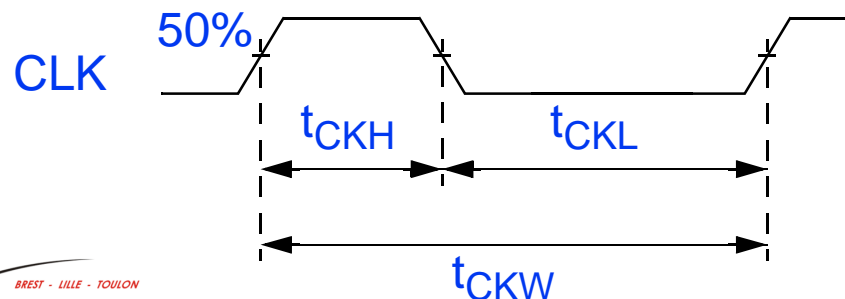
Dans cet exemple, la donnée apparaît en Q (et \bar{Q}) lors du front montant de CLK

5. Caractéristiques temporelles des bascules

● Temps de propagation



● Durée d'impulsion (pulse duration)



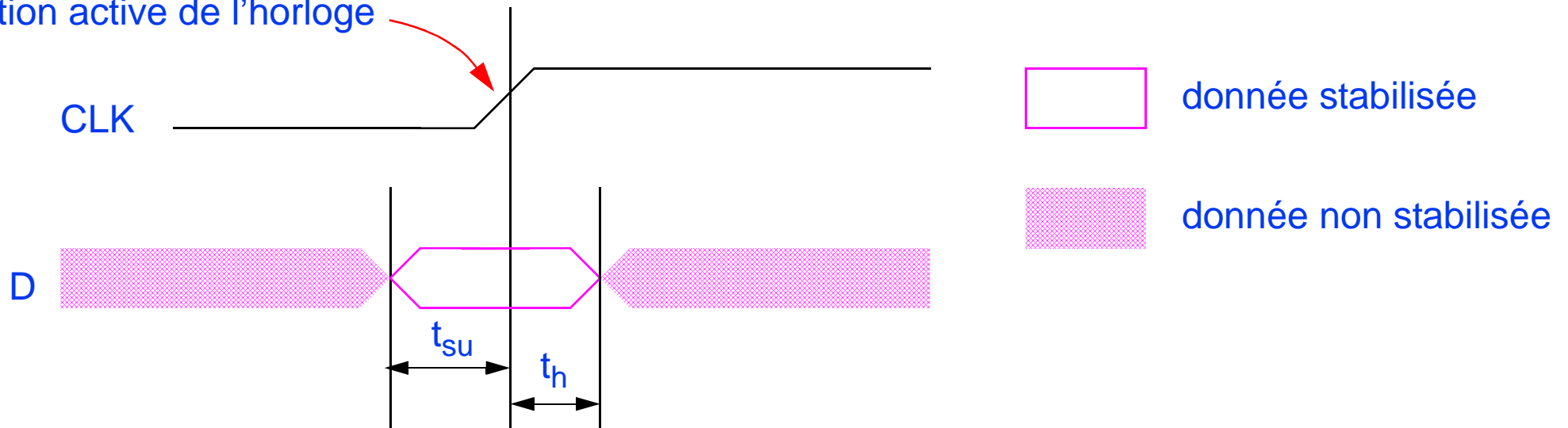
t_{CKL} et t_{CKH} doivent permettre aux bascules maître et esclave de se positionner correctement

$$t_{ckw} = \frac{1}{f_{\max}}$$

5. Caractéristiques temporelles des bascules

- Temps de prépositionnement (setup time, t_{su}) et de maintien (hold time, t_h)

Transition active de l'horloge



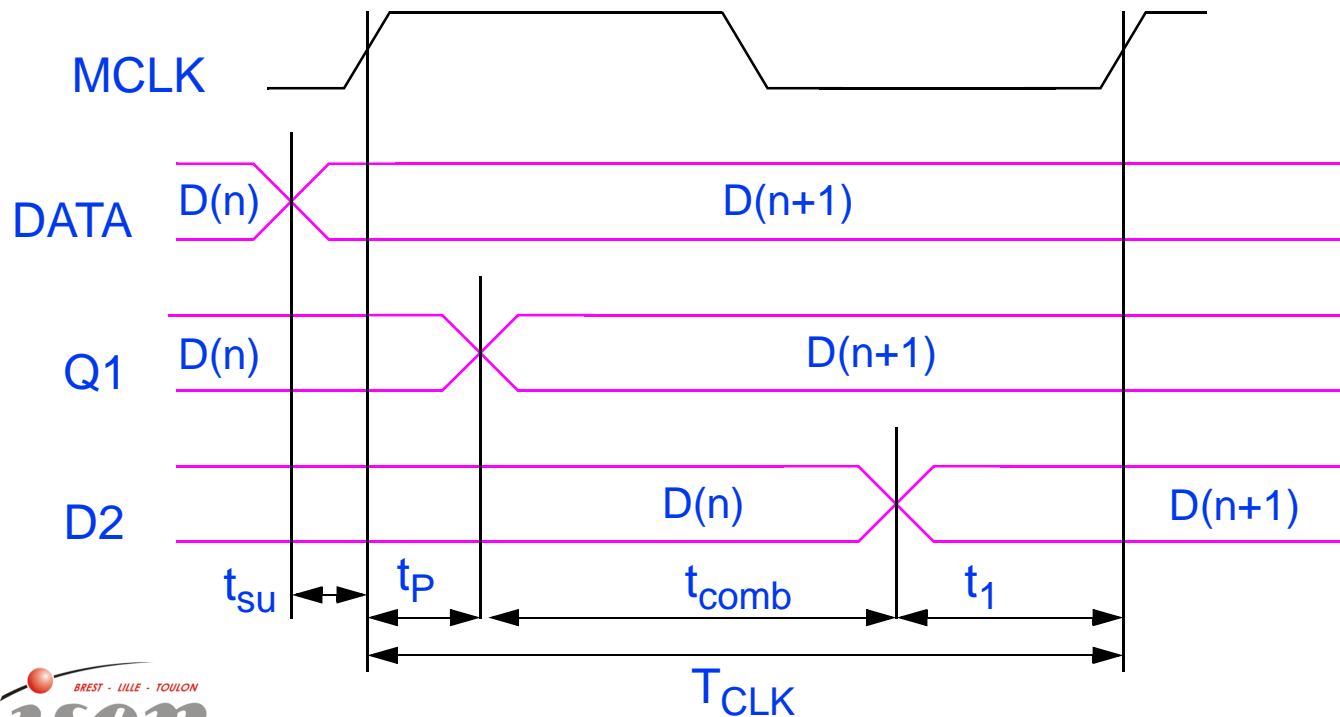
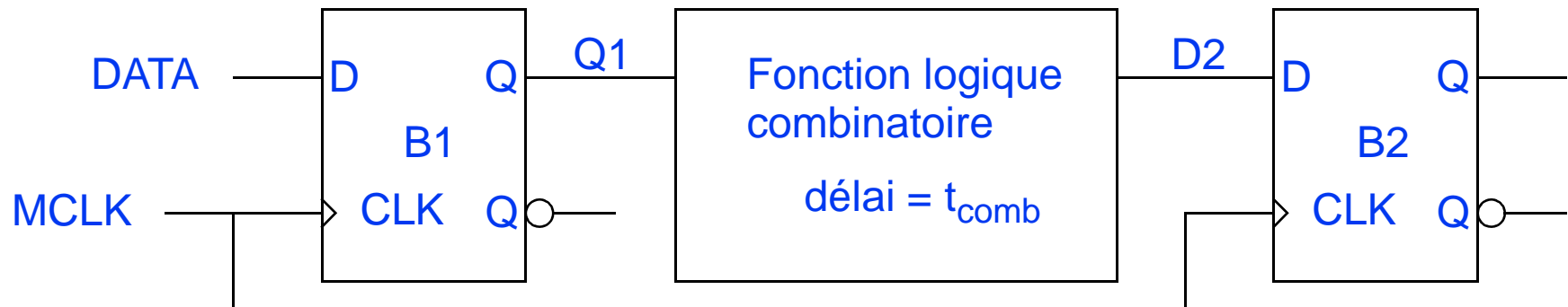
t_{su} et t_h permettent à la bascule maître d'effectuer sa transition vers un état mémoire avec des données d'entrée stables

t_{su} et t_h ne sont pas nécessairement égaux, t_h peut être nul

La transition active de l'horloge n'est pas obligatoirement un front montant

5. Caractéristiques temporelles des bascules

- Fréquence maximale d'horloge dans un circuit comportant des bascules



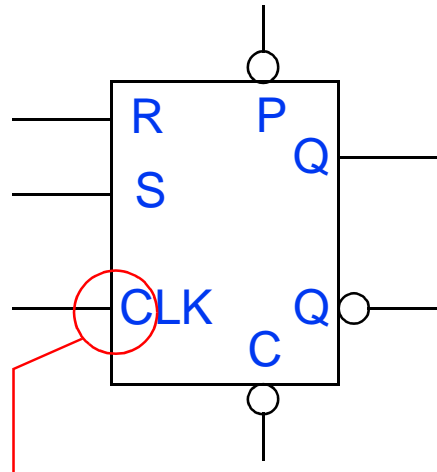
Au minimum: $t_1 = t_{su}$

$$T_{CLK \min} = t_p + t_{comb} + t_{su}$$

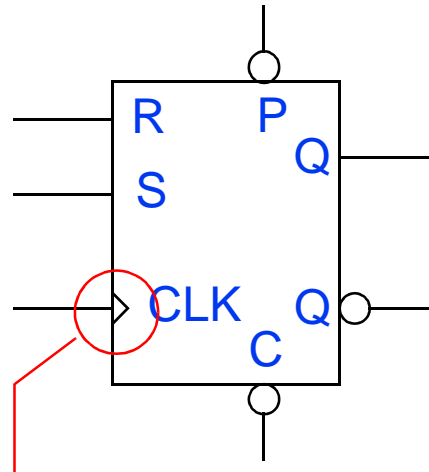
$$f_{\max} = (T_{CLK \min})^{-1}$$

6. Synthèse

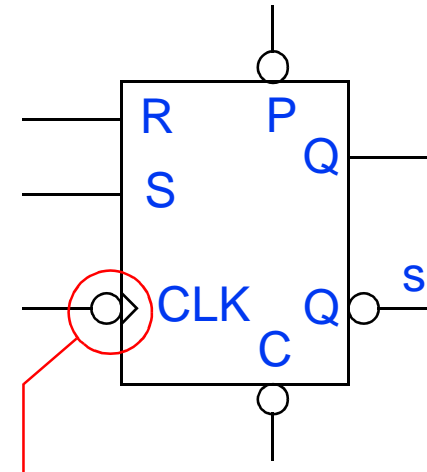
entrée active à l'état bas



horloge active sur état



horloge active sur front (montant)



horloge active sur front (descendant)

sortie complémentée

Bascule avec horloge active sur état = latch (verrou)

Bascule avec horloge active sur front = Flip-Flop

Dans une bascule, il n'y a pas de relation temporelle directe entre les entrées (R, S, J, K ou D) et la sortie Q. Les temps caractéristiques sont définis par rapport à l'horloge CLK:

t_{su} , t_h entre CLK et les entrées de données (R, S, J, K ou D)

t_p entre CLK et les sorties Q et \bar{Q}